

数式処理を用いたアナログ回路解析・設計

— Symbolic Circuit Analysis and Design —

吉岡 正人*

穴井 宏和†

(株) 富士通研究所システム LSI 開発研究所

(株) 富士通研究所コンピュータシステム研究所

(RECEIVED 2000/3/24 REVISED 2001/7/6)

Abstract

本稿では、数式処理の産業上の有望な応用として LSI におけるアナログ回路設計への応用について述べる。デジタル回路に比べ、設計の効率化において現状のアナログ回路設計が抱える問題点を挙げた上で、その解決策の一つとして数式処理を応用した、記号的アナログ回路解析・設計 (Symbolic Circuit Analysis And Design) と呼ばれる手法について、実際の回路例に対して既存の手法を試行して、その有効性と問題点を検証する。また、数式処理の算法による新たな解析手法の可能性についても検討する。

1 はじめに

近年、テクノロジーの発達により素子の微細化が進み、多くの機能やシステムを 1 チップ上に搭載した、システム LSI (Large Scale Integration: 大規模集積回路) に対する需要が高まっている。システム LSI の構成要素は大別して、アナログ信号処理回路 (以下、アナログ回路) とデジタル信号処理回路 (以下、デジタル回路) であり、この大規模な回路を効率良く設計するためには、コンピュータによる設計支援 (CAD: Computer Aided Design) が必要不可欠となる。チップ上で大部分を占めるデジタル回路の設計においては、CAD 化が進み、設計の効率化が図られている。しかし、アナログ回路に関しては CAD 化が難しく、回路設計者が自らのノウハウを基に設計を行っているため、設計時間は設計者の知識と経験に依存する。また、このノウハウも文書化されていないため、他の設計者との知識の共有が難しく、容易に設計効率を改善できないのが現状である。よって、システム LSI の設計において、効率化のボトルネックとなりうるアナログ回路の設計過程の効率化は急務である。本稿では、その解決策の一つとして数式処理を用いた記号的アナログ回路解析・設計手法 (Symbolic Circuit Analysis and Design) に着目し実際の回路例への実験を基にその有効性と問題点を検証する。

*myoshi@flab.fujitsu.co.jp

†anai@flab.fujitsu.co.jp

アナログ／デジタル混載
システムLSI

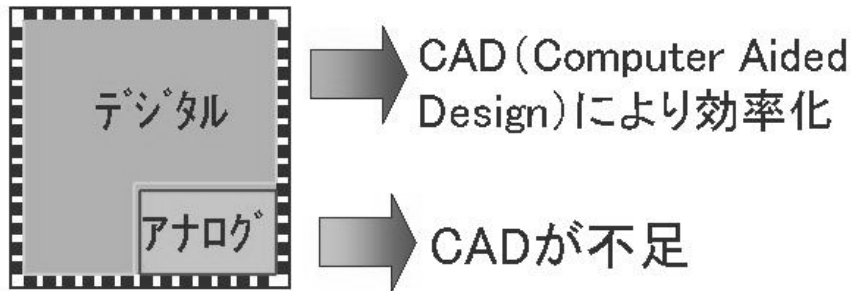


図 1: システム LSI の設計

2 アナログ回路とデジタル回路

デジタル回路とアナログ回路の特徴を簡単に述べる。デジタル回路は、2進論理で演算を行い、機能を実現する回路である。耐雑音性に優れ、回路動作が高精度で安定性も高いという特長を持つが、高機能な演算ほど回路規模が増大する。デジタル回路の例としては、図 2 のような 2 入力 AND 回路がある。一方、アナログ回路は、トランジスタ等の素子が持つ線形特性

デジタル回路	信号	アナログ回路															
<p>0と1の2進信号</p>	<p>時間・振幅共に連続な信号</p>																
<ul style="list-style-type: none"> 安定性が高く、高精度 回路規模が大きい 	特徴	<ul style="list-style-type: none"> 回路規模が小さい(低電力・小面積) 雑音や素子ばらつきに弱い 															
<p>2入力AND(機能:2入力の論理積)</p> <table border="1"> <thead> <tr> <th>IN1</th> <th>IN2</th> <th>OUT</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	IN1	IN2	OUT	0	0	0	0	1	0	1	0	0	1	1	1	回路例	<p>増幅器(機能:入力電圧を増幅)</p> $V_{out} = \frac{R \sqrt{2\beta \frac{W}{L} I_b}}{1 + \lambda R I_b} V_{in}$
IN1	IN2	OUT															
0	0	0															
0	1	0															
1	0	0															
1	1	1															

図 2: アナログ回路とデジタル回路

をそのまま利用して、時間及び振幅ともに連続なアナログ信号で演算を行う回路である。同機能のデジタル回路に比べ、回路規模が大幅に小さいという特長をもつが、雑音や素子ばらつきに弱く、動作が不安定になったり、精度が劣化してしまう場合がある。そのため高安定性・

高精度なデジタル回路への移行が進んでいるが、チップ外部からの入力とチップ内部のデジタル回路とのインターフェースにはアナログ回路が必須であり、またアナログ回路でしか実現できない回路も存在する。アナログ回路の例としては、図2のような増幅器がある。

デジタル回路とアナログ回路はともにトランジスタや抵抗といった素子で構成されるが、デジタル回路に比べて、アナログ回路は機能に対する定量的な要求（設計仕様）が多く、一般に設計が難しい。デジタル回路への設計仕様はほとんどが動作速度と消費電力に関するものであるのに対し、アナログ回路にはそれらに加えて、増幅率や動作入力電圧範囲等、回路や用途によって多様な設計仕様がある。回路機能の定量性は、その回路を構成する素子のパラメータ値（図2の数式中でいう R, W, L ）で決まり、設計者は与えられた設計仕様をすべて満足する素子パラメータ値を決定しなければならない。したがって、デジタル回路に比べて基本的に設計仕様や制約条件が多いアナログ回路は、解析や設計が難しく時間を要する。

3 回路設計手法と問題点

アナログとデジタルこれら2種類の（既存の）回路設計手法について述べ、アナログ回路設計の困難さの要因について考える。

3.1 デジタル回路設計手法

現在大規模なデジタル回路設計には、一般的に HDL(Hardware Description Language) と呼ばれる設計用プログラミング言語が用いられている。この手法では、HDL を用いて図3のように回路の動作を直接記述し、この記述を基に自動的に論理合成を行い、回路を生成する。（論理回路に含まれる AND 回路は図3のようにトランジスタで構成される）。つまり、デジタル回路設計では、AND や OR といった標準的な論理セルを設計しておけば、それらを基により複雑な論理回路を CAD を用いて自動的に生成することが可能である。実際の HDL 記述にはノウハウが要求されるが、極端に言えば、デジタル回路は全く設計経験のない人でも HDL 記述さえあれば設計が可能であるとも言える。

3.2 アナログ回路設計手法

図4は代表的なアナログ回路である増幅器を例に、その典型的な設計手法の一例を示したものである。まず最初に増幅器の回路トポロジを決定する。回路トポロジとはトランジスタや抵抗等の素子のつながり方である。設計者は与えられた設計仕様や制約条件（設計者自身が設計仕様を導出しなければならない場合もある）を基に多々ある回路トポロジの中から一つを選択する。次に、選択した回路トポロジで各素子のパラメータ値（サイズ）を決定する。設計者は各素子パラメータに適当な初期値を与え、回路シミュレーションとパラメータ調整を繰り返して最終的な設計値を得る。設計効率を上げるためには、まず初期値が設計値に対して妥当であることと、どのパラメータが特性にどう影響するのか（パラメータの感度）を

HDL (Hardware Description Language)

➡ 動作を直接記述

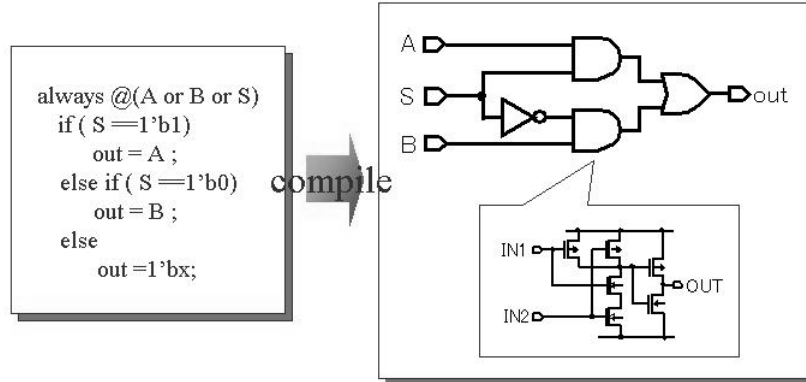


図 3: デジタル回路設計

知っておくことが非常に重要となる。もちろんそれらは設計仕様やトポロジによって異なる。

さて、初期値やパラメータの感度を求めるには、トポロジに対する特性式を導出する。特性式とは、その回路の特性を表す数式であり、一般に素子パラメータの有理式によって表現される。図 4 の具体例を図 5 に示す。まず最初に設計者は選択した回路トポロジを、手計算が可能なレベルまで回路の線形モデル近似を行う。次にそのモデルを基に回路方程式をたて、各特性式を導出する。図 5 では増幅器の重要な特性の一つである、増幅率 (何倍に増幅するか) を表した式を例に挙げている。設計者はこれら特性式からあらかじめ妥当な初期値を算出することが可能になる。また、ある特性を変えるにはどのパラメータを調整すれば良いかといった情報も同時に得ることができる。図 5 のように、回路トポロジが簡単な場合は、素子パラメータの数も少ないので、手作業で特性式を導出するのも困難ではない。しかし、図 6 のように回路トポロジが多少複雑になると手作業では困難となる。まず回路の線形モデル近似に関しては、影響の小さいパラメータを消去してモデル化するために専門的ノウハウが必要となる。モデルの善し悪しが以下の工程に大きく影響するため、上手なモデル近似が設計者に要求されることになる。さらに問題となるのが、パラメータ数の増加に伴い、特性式が指数的に複雑になることである。各特性式が複雑になるほど、すべてのパラメータの初期値を手動で算出することが難しくなり、また各特性に対するパラメータの感度を知ることも困難となる。アナログ回路では、図 5 と図 6 のように特性式は回路トポロジ毎に異なる。また、ある回路トポロジにおける各特性式どうしは、一つの素子パラメータに対してトレードオフ関係にあることが多く、要求される設計仕様に合わせた素子パラメータの最適化ルーチンが必要となる。したがって、機能を記述すればほぼ一意に回路が決定するデジタル回路設計に比べ、アナログ回路設計は設計仕様や制約条件が多数多様であるため設計フローを標準化しにくく、また設計ノウハウのアルゴリズム化も難しい。これがアナログ CAD の開発が遅れ

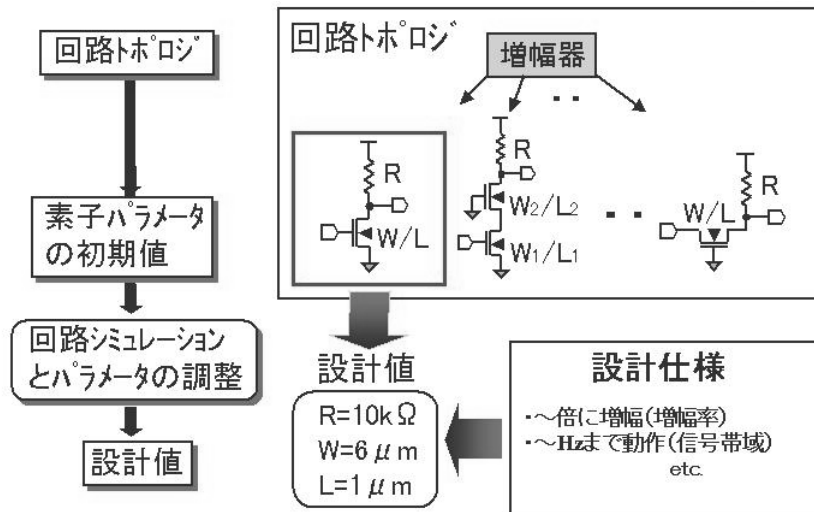


図 4: アナログ回路設計

ている要因である。アナログ CAD の不足により、設計仕様が変更される時や新しい回路を設計する時に、多くの設計者が回路トポロジの選択から素子パラメータ初期値を算出するまでのフローにおいて、多くの時間と労力を要しているのが現状である。

4 記号的アナログ回路解析

そういった中、数式処理の手法を応用した回路解析・設計手法 (Symbolic Circuit Analysis and Design) の研究が欧州を中心に進められている (簡単なサーベイは [1] を、また詳細は [7],[6] を参照のこと)。この手法は回路トポロジから特性式を導出する時、及び各特性式からパラメータの初期値を算出する時に数式処理を応用して、手計算による手間を軽減しようとするものである (図 7 参照)。

アナログ回路設計の作業効率を向上させるためには以下の 3 つの点が有効である；

- (1) 回路トポロジから特性式を導出する際に、専門的知識が必要な回路近似処理を自動化することができれば、設計者は新しい回路トポロジに対しても容易にその特性解析を行うことが可能となる。
- (2) 初期値の算出を自動化することができれば、複雑な式に対する計算時間の大幅な軽減となる。
- (3) 計算過程 (つまり、解析手順) を文書として残すこともできれば、知識の共有も可能となる。

これらの研究の中で、(1) についてはアナログ回路設計者自身が設計者として必要なツ-

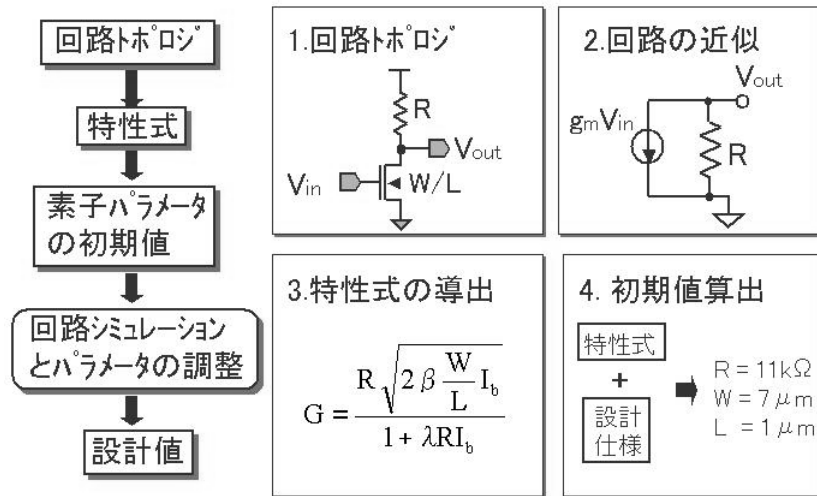


図 5: アナログ回路設計—初期値の算出

ルとして利用できるような形で、既存の数式処理システム上への実装もされ販売されているものもある。その一つが、Analog Insydes¹⁾ という Mathematica 上の回路解析ツールである。本稿では、Analog Insydes を用いて代数的な手法を用いた特性式の導出過程の有効性と問題点を検証する。

(2) については、現状では初期値導出の過程は設計者の経験と知識に深く基づいて、設計者は (数值的) 回路解析シミュレータを繰り返し用いて設定した初期値の妥当性をチェックする。それ以外に初期値算出の自動化実現のための有効な手法はなく、ここでは、Gröbner 基底や限定記号消去 (quantifier elimination; QE) を用いた方法を提案する。

(3) については、本稿では取り扱わない。

4.1 特性式の導出

まず回路トポロジから特性式を導出する過程について述べる。大まかな流れは図 8 の通りであるが、ここでは、実際の回路解析においてもしばしば用いられる図 9 に示す差動増幅器の設計を例として以下順に各過程を説明する：

回路方程式の生成：まず、図 9 の差動増幅器の回路トポロジに対して、トランジスタをすべて線形近似モデルに置き換えて、ネットリストを作成する。ネットリストとは、素子の接続関係や素子のパラメータ値をリスト形式で記述したもので、数値的な回路解析ツール SPICE 等でも使用されており、回路設計者にとっては標準的なものである。

注意 1

以下に示すのは図 9 に現れるパラメータで、すべて MOS トランジスタに関する素子パラメータである。

- ・ gm : ゲート伝達コンダクタンス

¹⁾<http://www.itwm.uni-kl.de/as/products/ai/index.html>

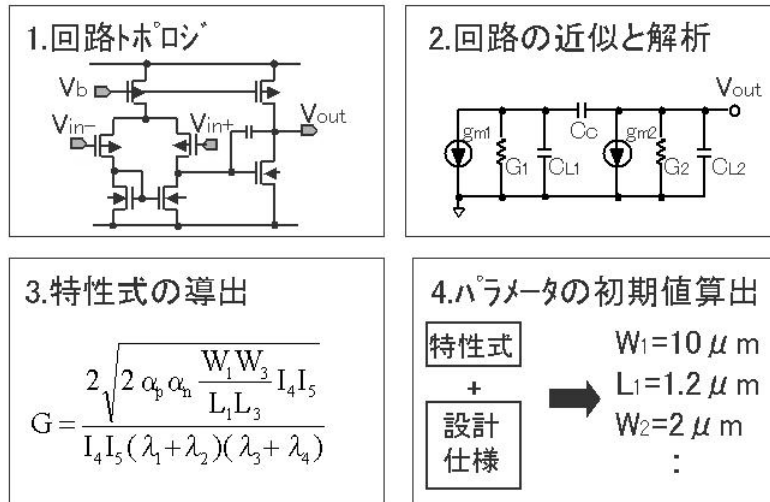


図 6: アナログ回路設計—より複雑な回路例

- gmb : 基板伝達コンダクタンス
- gds : ソース - ドレインコンダクタンス
- cgs : ゲート - ソース間容量
- cgd : ゲート - ドレイン間容量
- cbs : 基板 - ソース間容量
- cbd : 基板 - ドレイン間容量

次にネットリストから，回路の各ノードにおけるキルヒホッフ則を基に，ノード方程式と呼ばれる回路方程式を生成する (図 10)．ここに示したのは特に MNA (Modeified Nodal Analysis) 法と呼ばれる定式化の方法で，Analog Insydes 等のシステムにも実際に使用されている方法である．図 10 中の最初の行列はアドミタンス行列といい，この中に回路パラメータがシンボルのままで含まれる．実際，回路素子も近似モデルで置き換えられ，またラプラス変換して回路方程式は構成されるので，回路方程式は代数的な方程式となっていることに注意が必要である．

伝達関数の構成：次に図 10 の回路方程式を代数的に解き，伝達関数 = (出力電圧)/(入力電圧) (例えば， $V(n1)/V(n2)$) を導出する．図 11 が図 9 の回路の伝達関数の一つである．ラプラス変数 s の有理関数で表されおり，回路の周波数特性はこの伝達関数より求めることができる．しかし，図 11 の式は正確ではあるが非常に複雑である．分母分子ともに 5 次の多項式で，項数も膨大である．このままでは各特性式を求めること自体困難であり，仮に求まったとしても複雑すぎて，その式から初期値や設計指針を得ることは容易ではない．したがって，特性式を導出する前に伝達関数の段階で近似処理 (図 5 の設計手順で言えば，設計者による回路の線形モデル近似に相当する) が必要となる．

伝達関数の近似：伝達関数の記号的な近似手法として，大きく 2 つの方法が現在主流となっ

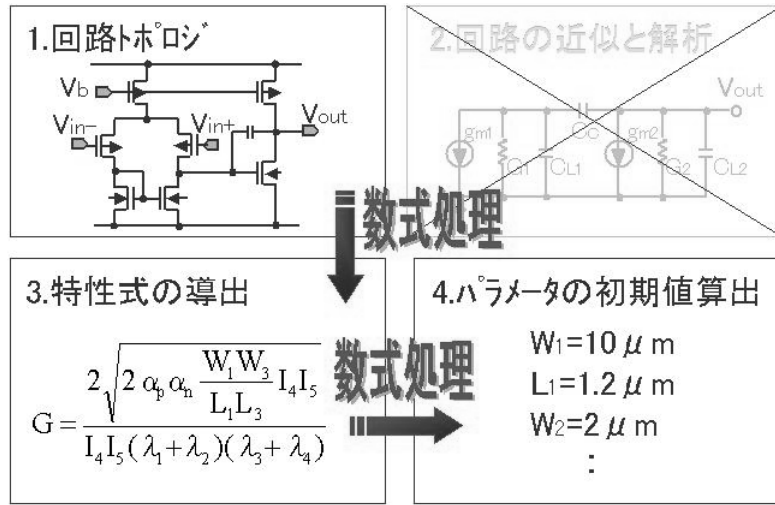


図 7: アナログ回路解析と数式処理

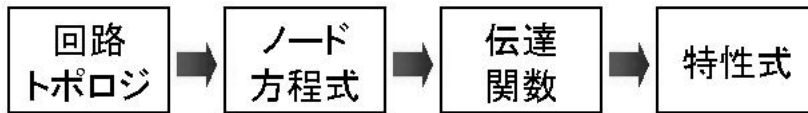
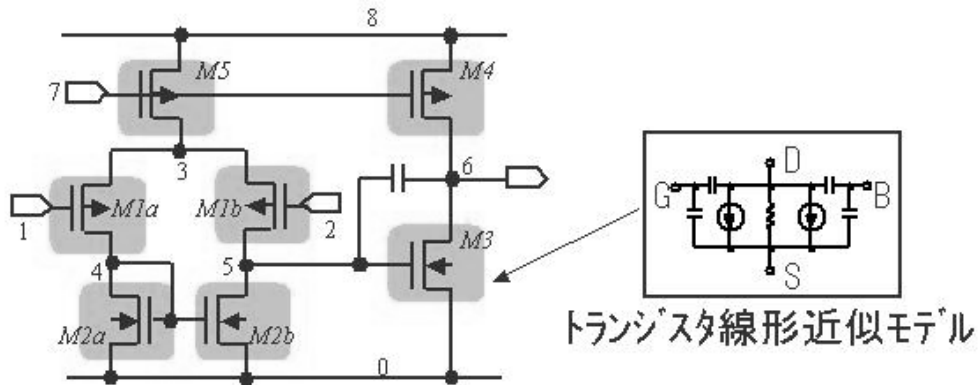


図 8: 特性式の導出手順

ている．いずれの場合も，デザインポイントと呼ばれる各パラメータのサンプル値を用いて全体の振る舞いに影響の小さい項を消去していくという手法 [10] であり，実際の設計者の手計算による近似に近いアルゴリズムである．1つは，SAG(Simplification After Generation) 法と呼ばれ，一度回路方程式を記号的に解いて伝達関数を生成した後で，その伝達関数の各係数ごとに影響の少ない項を消去していく方法である．もう一つは，SBG(Simplification Before Generation) 法と呼ばれ，図 10 のようなノード方程式の段階で，影響の少ない項を消去していく方法である．この 2 つの手法の大きな違いは，近似の結果，伝達関数の分母及び分子多項式の次数を下げられるか下げられないかである．SAG 法では係数を近似するため，基本的に次数は下がらないが，SBG 法ではノード方程式を解く前のアドミタンス行列の段階で近似をするため，近似の度合いにより伝達関数の次数を下げる事が可能である．特性式を導出するには分母及び分子多項式を解く必要があるため，より低次の多項式に近似できていることが望まれる．したがって，SBG 法が実際の設計に適していると言える．

図 12 は SBG 法を用いて，図 11 で与えられた $TF(s)$ に近似を行った例の一つである．分母及び分子の次数はそれぞれ 2 次，1 次と下がり，項数も共に数 10 分の 1 まで低減された．図 12 のグラフは近似前後の伝達関数をプロットしたものであり，2 本の曲線はほぼ一致している．つまり図 12 の近似結果は，影響の小さい項を非常にうまく消去できたことを示している．ただし，常に近似処理が妥当な結果を出すわけではなく，デザインポイントの選び方によ



```
CMOSAMP=Circuit[
Netlist[{M1a,{4->D,1->G,3->S,3->B},Model->PMOS,Selector->HighFrequency,
gm->gm1,gmb->gmb1,Gds->gds1,Cgs->cgs1,Cgd->cgd1,Cbs->cbs1,Cbd->cbd1},
{M1b,{5->D,2->G,3->S,3->B},Model->PMOS,Selector->HighFrequency,gm->gm1,
gmb->gmb1,Gds->gds1,Cgs->cgs1,Cgd->cgd1,Cbs->cbs1,Cbd->cbd1},
{M2a,{4->D,4->G,0->S,0->B},Model->NMOS,Selector->HighFrequency,gm->gm2,
gmb->gmb2,Gds->gds2,Cgs->cgs2,Cgd->cgd2,Cbs->cbs2,Cbd->cbd2},
{M2b,{5->D,4->G,0->S,0->B},Model->NMOS,Selector->HighFrequency,gm->gm2,
gmb->gmb2,Gds->gds2,Cgs->cgs2,Cgd->cgd2,Cbs->cbs2,Cbd->cbd2},
{M3,{6->D,5->G,0->S,0->B},Model->NMOS,Selector->HighFrequency,gm->gm3,
gmb->gmb3,Gds->gds3,Cgs->cgs3,Cgd->cgd3,Cbs->cbs3,Cbd->cbd3},
{M4,{6->D,7->G,8->S,8->B},Model->PMOS,Selector->HighFrequency,gm->gm4,
gmb->gmb4,Gds->gds4,Cgs->cgs4,Cgd->cgd4,Cbs->cbs4,Cbd->cbd4},
{M5,{3->D,7->G,8->S,8->B},Model->PMOS,Selector->HighFrequency,gm->gm5,
gmb->gmb5,Gds->gds5,Cgs->cgs5,Cgd->cgd5,Cbs->cbs5,Cbd->cbd5}]];
```

図 9: ネットリスト

ては近似による影響が出てしまう場合もある。(この伝達関数の近似計算は、Mathematica 上の Analog Insydes に実装されており、それを用いて行った。ここで示した例の規模の回路で、近似された伝達関数の導出時間は数秒程度である。)

伝達関数から特性式の導出：熟練した設計者が回路を近似し手計算で導出した伝達関数と、数式処理と近似アルゴリズム(ここでは SBG 法)を用いて導出した伝達関数を比較したのが図 13 である。両者の伝達関数はほぼ同等の精度と簡略性を持っていると言える。さらに伝達関数より得られる特性式の一つとして、第 1 極周波数の特性式を取り上げて比較を行った(数式処理による導出では、伝達関数から第 1 極周波数を求める計算に Mathematica を用いた)。両者の特性式は、数値計算の結果、精度はほぼ同等であるが、式の簡略性に大きく差がある。これは、設計者が伝達関数から特性式を導出する際には、再度伝達関数を近似して特性式を導出するが、ここでの数式処理による特性式の導出過程では、近似処理を行っていないことによる。伝達関数から特性式を導出する際に最も基本的かつ重要な工程は、伝達関数

ネットリストより生成

➡ MNA (Modified Nodal Analysis)法

$$\begin{bmatrix} (C_{gs} + C_{gd1})s & 0 & \dots & -C_{gs1}s \\ 0 & g_{m1} - C_{gs1}s & \dots & 0 \\ \vdots & \dots & \dots & \vdots \\ 1 & \dots & \dots & -g_{m3} \end{bmatrix} \begin{bmatrix} V(n1) \\ \vdots \\ \vdots \\ V(n7) \end{bmatrix} = \begin{bmatrix} 0 \\ \vdots \\ \vdots \\ 1 \end{bmatrix}$$

図 10: 回路方程式

の極・零点 (極・零点は、伝達関数の分母及び分子多項式の解) の計算である。一般に、四則演算を用いて代数的に解ける方程式の次数は 4 次であるが、解の公式を用いると 2 次方程式でも解に根号が含まれ複雑になる (図 13 の比較結果は典型例といえる)。設計者の立場から、極・零点は多くの周波数特性式に含まれる重要なファクタであり、できるだけ精度を保って、かつシンプルなものとして得ることが望まれる。(ちなみに、設計者が求めたこの特性式は解の公式を用いていない。伝達関数を求めるときに用いたのと同様の近似を用いている。)

4.2 パラメータ初期値の算出

次に、特性式を基にパラメータの初期値を算出する工程について述べる。再度図 9 で示している回路を考える。決定すべき回路パラメータは $W_1, L_1, \dots, W_5, L_5, V_L, C_c$ である。ここで、設計仕様として特性式のうち、帯域幅 (BW) と増幅率 (G) だけが要求されているとする。図 14 のように、帯域幅と利得の特性式も与えられているとする。

注意 2

図 14 中に現れるパラメータで、 W は MOS トランジスタのチャネル幅、 L は MOS トランジスタのチャネル長、そして I は MOS トランジスタのドレイン電流である。

図 14 の規模の回路でさえ、仕様と特性式から初期値を算出するのは容易ではなく、かなりの時間を要する。一般に初期値導出の過程は設計者の経験と知識に深く基づいて、設計者は (数値的) 回路解析シミュレータを繰り返し用いて設定した初期値の妥当性をチェックする。

さて、図 14 のように特性式が既に Symbolic に求まっている場合は、数式処理の算法を用いて設計に必要な初期値を算出することが可能となる。実際、設計仕様として図 14 の (I) のような仕様が与えられた時、この制約問題は多変数多項式方程式系でありグレブナ基底 (Gröbner base:GB) の計算を利用できる。GB 計算を用いて式を変形すれば、仕様を代入するだけで初期値を求めることが可能となる。また、設計仕様が変わっても単に代入計算だけで新しい仕様に対する初期値を求めることができる。(ただし、一般には、与えられた仕様に対して所望の初期値が一意に求まるとは限らない。)

$$TF(s) = \frac{\text{出力}}{\text{入力}} = \frac{n(s)}{d(s)} = \frac{984 \text{ 項}}{11352 \text{ 項}} \Rightarrow \text{近似が必要}$$

ここで

$$n(s) =$$

$$-(gm3-(Cc+cgd3) s) (-gds1+gm1+cbd1 s) (gds1+gds2+(cbd1+cbd2+cgd1+2 cgd2+2 cgs2) s) (-gds1+cbd1 s) (-gm1+cgd1 s)-(gm1+cgs1 s) (gds1+gds2+gm2+cbd1 s+cbd2 s+cgd1 s+cgd2 s+ 2 cgs2 s))+(gm1-cgd1 s) (gm2-cgd2 s) (-gds1+cbd1 s) (gds1+gm1+cbd1 s) +(2 gds1+gds5+2 gm1+2 cbd1 s+cbd5 s+cgd5 s+2 cgs1 s) (gds1+gds2+gm2+cbd1 s+cbd2 s+cgd1 s+cgd2 s+2 cgs2 s))$$

$$d(s) =$$

$$(-(-Cc s-cgd3 s) (gm3-Cc s-cgd3 s) (gds1+gds2+gm2+cbd1 s+cbd2 s+cgd1 s+cgd2 s+2 cgs2 s) (-(-gds1-cbd1 s) (-gds1-gm1-cbd1 s)+(2 gds1+gds5+2 gm1+2 cbd1 s+cbd5 s+cgd5 s+2 cgs1 s) (gds1+gds2+gm2+cbd1 s+cbd2 s+cgd1 s+cgd2 s+2 cgs2 s))- (gds3+gds4+cbd3 s+cbd4 s+Cc s+cgd3 s+cgd4 s+C1 s) ((cgd2 s (-gds1-cbd1 s)+(-gds1-cbd1 s) (gds1+gds2+gm2+cbd1 s+cbd2 s+cgd1 s+cgd2 s+2 cgs2 s)) (-(-gds1-gm1-cbd1 s) (gm2-cgd2 s) +(-gds1-gm1-cbd1 s) (gds1+gds2+gm2+cbd1 s+cbd2 s+cgd1 s+cgd2 s+2 cgs2 s)) -(-(-gds1-cbd1 s) (-gds1-gm1-cbd1 s) +(2 gds1+gds5+2 gm1+2 cbd1 s+cbd5 s+cgd5 s+2 cgs1 s) (gds1+gds2+gm2+cbd1 s+cbd2 s+cgd1 s+cgd2 s+2 cgs2 s)) (cgd2 s (gm2-cgd2 s)+(gds1+gds2+gm2+cbd1 s+cbd2 s+cgd1 s+cgd2 s+2 cgs2 s) (gds1+gds2+cbd1 s+cbd2 s+Cc s+cgd1 s+cgd2 s+cgd3 s+cgs3 s))))$$

図 11: 伝達関数

一方，設計仕様として図 14 の (II) のような仕様が与えられた時，この制約問題は多変数多項式不等式系であり限定記号消去 (Quantifier Elimination :QE) の計算を利用できる．この場合は，仕様もある領域値として与えられ，初期値も実行可能な領域として得られるためより豊富な初期値を得ることができる．複数の仕様を満たすような設計も，得られた結果のパラメータ空間での重ね合わせにより容易に実行できる．

以上のように，GB や QE と言った数式処理の手法を用いれば，自動的な初期値算出が可能となり，これら記号的回路解析手法はアナログ回路解析用の CAD の有効な構成要素ともなる．(GB,QE の詳細はそれぞれ [3],[5] を参照のこと．)

具体的な設計の結果を図 15 に示す．ここでは GB を用いて初期値を算出した．初期値算出の際は，図 15 の設計仕様範囲からあるサンプル値を設計仕様として用いた．その設計仕様から，異なる 2 つのテクノロジー (0.25 μ m は 0.35 μ m はテクノロジーを表している) に対してそれぞれ初期値を算出し，回路シミュレーションを用いて最適化を行った．設計結果が図 15 であり，設計仕様を満足する設計値が得られたことを示している．設計効率の改善度は回路トポロジの複雑さや個人の設計能力に左右されるため，一般的な数値を挙げることは困難であるが，図 15 の例で著者 (熟練した回路解析設計者) の場合に関して，特性式から初期値を求めるまでの時間が 1/5 ~ 1/10 に短縮できた．

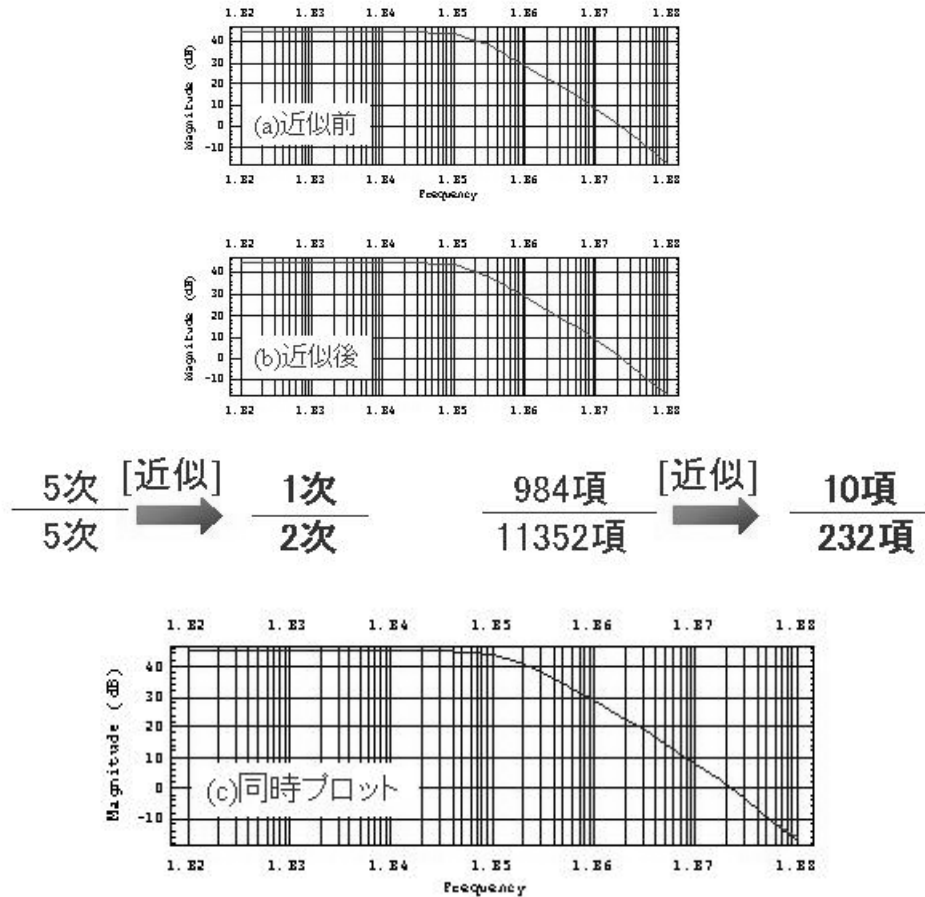


図 12: 伝達関数の近似結果

5 まとめ

本稿では、アナログ回路設計の工程における数式処理の有効性について実際の回路に適用して検討した。それぞれの過程について以下にまとめる：

- 伝達関数の導出と近似

近似処理に関しては、デザインポイントの選択には、まだ設計者の知識等がある程度必要であるが、導出工程の作業時間はかなり改善された。汎用数式処理システム上の商用のツールも現れ、性能の面でも設計者の要望をほぼ満足するレベルにまで来ていると言える。

- 特性式の導出

伝達関数から特性式を導出する際に、最も基本的で重要なのは伝達関数の極・零点の計算である。現状では、伝達関数の近似過程で分母及び分子多項式の次数をできるだ

設計者による導出	数式処理による導出
[伝達関数] $TF(s) = \frac{g_{m1}(g_{m3} - C_c s)}{G_1 G_2 + g_{m3} C_c s + (C_c C_1 + C_c C_2 + C_1 C_2) s^2}$	[伝達関数(近似処理後)] $TF(s) = \frac{g_{m1}(g_{m3} - C_c s)}{G_1 G_2 + g_{m3} C_c s + (C_c C_1 + C_c C_2 + C_c C_{gs1} + C_c C_{gs2} + C_{gs3} C_1) s^2}$
[特性式(例・第1極周波数)] $f_{p1} = \frac{G_1 G_2}{2\pi g_{m3} C_c}$	[特性式(例・第1極周波数)] $f_{p1} = \frac{C_c g_{m3} - \sqrt{C_c^3 g_{m3}^2 - 4G_1 G_2 (C_c C_1 + C_c C_2 + C_c C_{gs1} + C_c C_{gs2} + C_{gs3} C_1)}}{4\pi(C_c C_1 + C_c C_2 + C_c C_{gs1} + C_c C_{gs2} + C_{gs3} C_1)}$

図 13: 特性式の導出 — 設計者 vs 数式処理

け下げ、最終的に解の公式を用いて極・零点の式を導出している。精度では問題無いが、式の簡略性では設計者による導出よりまだ劣っている。したがって、この部分で伝達関数の分母及び分子多項式を(設計者の望むような形で)さらに近似して極・零点を導出する方法を考える必要がある。

● 初期値の導出

特性式が得られていれば、設計仕様を基に GB あるいは QE を用いて、自動的に初期値の算出が可能となり、設計仕様等の変更にも対応が容易となる。また、複数の仕様を同時に満たすこと (multi-objective design) も同様に可能となる。但し問題は、回路規模が大きくなってきた場合の計算効率である。汎用の GB や QE のアルゴリズム自身の効率化はもちろんであるが、問題の特殊性を利用した (特別な場合の) 効率的なアルゴリズムの開発が重要であろう²⁾。

Symbolic Circuit Analysis and Design は、これまで設計者が自身の知識や経験と数値的シミュレーションだけで、作業負荷の大きかった設計過程をより柔軟で効率的なものにできるように支援するものであり、数値シミュレーションとは不可分のものである。実際、数式処理による (近似過程も含めた) 伝達関数の導出によって得られた結果などの妥当性は、SPICE 等による数値的シミュレーションによってチェックされている (さらには、実際に製作されたチップの実験によってチェックされる)。

この分野はまだ若く、一部を除いてまだツールとして完成する段階からは遠く、アナログ回路解析にいろいろな数式处理的な手法の適用可能性を試している段階である。今後、回路設計者の有効なツールとして成長していくには、設計者のニーズを把握し、また設計者の経験と知識によって行われている過程をどうアルゴリズム化して実装するかが重要になってくる。

回路設計者が設計の作業過程において、式変形などの数式处理的な作業に多くの時間を費やしている。その意味で (数値計算よりも)、数式処理による解析アプローチはアナログ回路

²⁾システムのロバスト性や利得余裕、そして位相余裕といった特性式の仕様に対して有効な QE の手法も提案されている [2]。

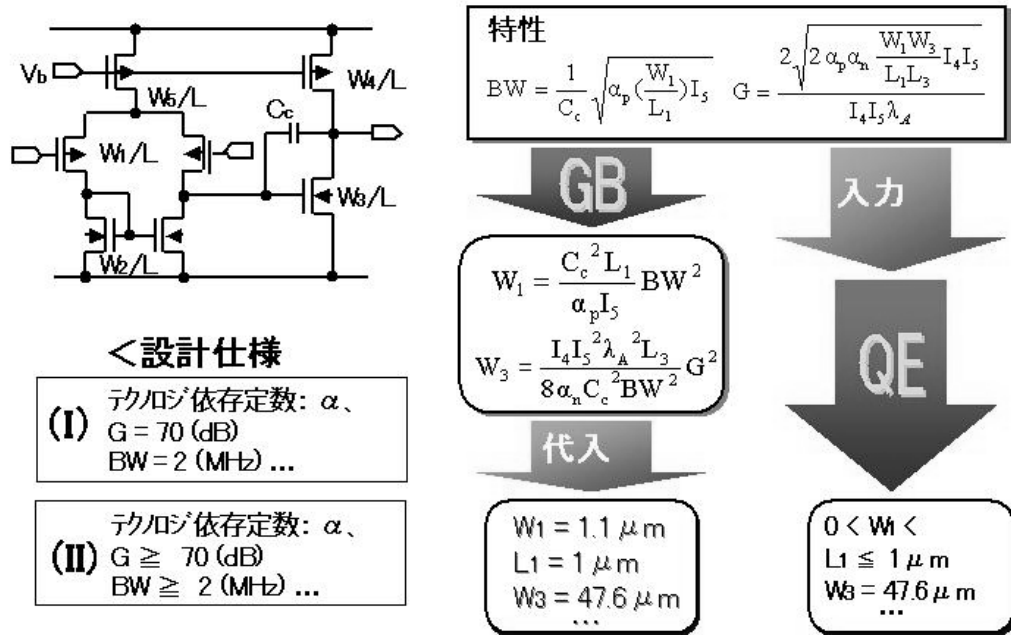


図 14: 初期値の導出

解析 CAD の新しい手法の一つとして非常に有望だと思われる。

また、ツールとしての評価には、その計算効率も重要な因子である。効率的な計算のためには、回路設計過程の背景にある数理的に必要となる数式処理のアルゴリズム自体の高速化がもちろん必要であるが、その際に、重要となるのは設計過程に特有の問題の性質を積極的に利用することであろう。

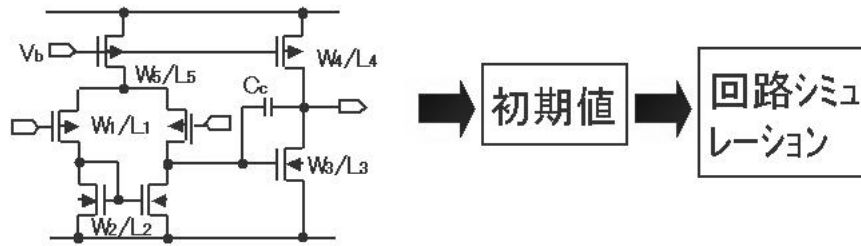
近い将来、回路設計者と数式処理研究者とのコラボレーションにより、既存の SPICE 等の数値的回路解析シミュレータと Symbolic Circuit Analysis and Design の手法を併せ持つようなアナログ回路設計支援 CAD が出現することに期待したい。

謝 辞

本研究にあたり、適切な助言を頂き、また Analog Insydes を提供していただいた R. Sommer 博士 (ITWM, Germany) に深く感謝します。また、たくさん大変に有益なコメントを頂いた査読者にこの場を借りて感謝申し上げます。

参 考 文 献

[1] Anai H.: Symbolic Analysis Techniques in Analog Circuit Design, Research Memorandum ISIS-RM6J, ISIS, FUJITSU LABORATORIES LTD, 1996.



	設計仕様	設計例1 (0.35 μm)	設計例2 (0.25 μm)
直流利得	60 dB <	67dB	68dB
帯域幅	1MHz <	1.35MHz	1.18MHz
位相余裕	45° <	83.2°	80.9°
消費電力	0.5mW >	0.125mW	0.067mW

図 15: 初期値の導出例

[2] Anai, H., Hara, S.: A Robust Control System Design by a special Quantifier Elimination, University of Passau, Technical Report: MIP-0004, March 2000.

[3] Becker, T., Weispfenning, V.: Gröbner Bases, GTM, Springer-Verlag, 1993.

[4] Borchers, C., Sommer, R., Hennig, E.: On the Symbolic Calculation of Nonlinear Circuits, Proc. International Symposium on Circuits and Systems Vol. IV, pp. 719-722, May 1996.

[5] Caviness, B.F., Johnson, J. R. editors.: Quantifier Elimination and Cylindrical Algebraic Decomposition, Text and monographs in symbolic computation, Springer-Verlag, 1998.

[6] Fernández, F.V. *et al* editors: Symbolic Analysis Techniques – Applications to Analog Design Automation, IEEE Press, 1997.

[7] Gielen, G., Sansen, W.: Symbolic Analysis for Automated Design of Analog Integrated Circuits, Kluwer Academic Publishers, 1991.

[8] Halfmann, T., Hennig, E., Thole, M., Wichmann, T.: ANALOG INSYDES – Command Reference, ITWM, Germany, 1998.

[9] Hennig, E., Sommer, R.: Application of Computer Algebra Methods to Analog Circuit Sizing, European Conference on Circuit Theory and Design, 1995.

[10] Sommer, R., Hennig, E., Dröge, G.: Equation-Based Symbolic Approximation by Matrix Reduction with Quantitative Error Prediction, Alta Frequenza - Rivista di Elettronica 6/93, Italy, Dec. 1993.

[11] Sommer, R., Hennig, E.: A Sizing Strategy for Linear Transistor Amplifiers Proc. 3rd International Workshop on Symbolic Methods, and Applications to Circuit Design (SMACD'94), Sevilla, Oct. 1994.